

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

p/2371-32  
jc571 U.S. PTO  
09/589435  
06/07/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 6月 8日

出願番号

Application Number:

平成11年特許願第161601号

出願人

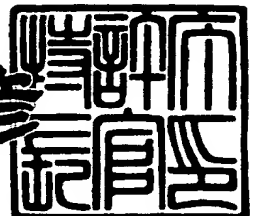
Applicant(s):

日本電気株式会社

2000年 4月21日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦



出証番号 出証特2000-3030110

【書類名】 特許願

【整理番号】 74310230

【提出日】 平成11年 6月 8日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G06F 15/78

【発明の名称】 命令入換え回路

【請求項の数】 3

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 青山 はる子

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100096231

    【弁理士】

    【氏名又は名称】 稲垣 清

【手数料の表示】

    【予納台帳番号】 029388

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9303567

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 命令入換え回路

【特許請求の範囲】

【請求項 1】 実行する命令群を記憶する ROM と、該 ROM の命令群に基づいて各命令を順次にパイプライン処理する CPU と、前記 ROM から送られる現行命令を、所定の条件下で対応する修正命令に入れ換える入換え機能を有する命令入換え回路において、

入換え対象となる命令の対象アドレスを設定する対象アドレスレジスタと、前記 CPU のフェッチステージに割り当てられた現行命令のアドレスと前記対象アドレスとを比較する比較回路と、該比較回路の比較結果に基づいて前記現行命令又は対応する修正命令の何れかを選択する選択回路と、該選択回路が前記修正命令を選択した旨を表示する動作フラグとを有する ROM コレクションユニットを、複数の入換え対象の命令に対応して複数備えることを特徴とする命令入換え回路。

【請求項 2】 前記動作フラグは、前記 CPU の実行ステージで設定される、請求項 1 に記載の命令入換え回路。

【請求項 3】 外部入力に基づいて前記修正命令を任意に設定可能とした、請求項 1 又は 2 に記載の命令入換え回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パイプライン処理するマイクロコンピュータに係り、より詳細には、CPU が実際に実行する際に現行命令と修正命令とを入れ換える命令入換え回路に関するものである。

【0002】

【従来の技術】

マスク ROM を搭載するシングルチップ型マイクロコンピュータ（IC）では、マスク ROM 領域に記憶されたプログラム中にバグが発見されても、IC 製造後にはこれを修正することはできない。従って、バグを有するプログラム命令を

CPUが読み出す際に、この命令に代えて修正された命令（修正命令）に入れ換えて修正プログラムを実行する機能（以下、ROMコレクション機能と呼ぶ）が提案されている。

#### 【0003】

特開平8-95946号公報には、上記ROMコレクション機能を有するマイクロコンピュータが記載されている。図11は、該公報に記載のマイクロコンピュータのブロック図である。マイクロコンピュータ93は、命令キュー95を有しパイプライン処理するCPU87と、ROM83にある現行プログラムのバグ部分のアドレスを格納するレジスタ86と、修正プログラムを格納するRAM84と、命令キュー95に取り込むべき命令のアドレスを示すフェッチポインタ81と、レジスタ86とフェッチポインタ81との内容を比較し選択信号92を出力する比較回路85と、修正プログラムにジャンプする分岐命令を出力する分岐命令出力回路89と、選択信号92に基づいてROM83からの現行命令又は分岐命令出力回路89からの分岐命令のいずれかを選択する選択回路88とを備えている。選択回路88は、比較結果が一致した場合に、アドレスのフェッチ段階でCPU87に分岐命令を出力する。CPU87は、この分岐命令により、ROM83領域の現行プログラムのバグ部分を回避し、RAM84領域の修正プログラムを実行する。

#### 【0004】

##### 【発明が解決しようとする課題】

上記公報に記載の技術は、現行プログラム中のバグ部分の対象アドレスを対象アドレスレジスタに予め設定して、これとフェッチポインタとを比較し、ROMコレクション機能を作用させて修正プログラムを実行させるものである。

#### 【0005】

上記公報に記載の技術には、複数のバグに対して夫々異なる修正ができるとあります。しかし、ROMコレクション機能を複数の対象アドレスに対応させるには、夫々の対象アドレスに対して優先順位を与え、CPUがこの優先順位を正しく判断できる必要がある。

#### 【0006】

本発明は、上記したような従来の技術が有する問題点を解決するためになされたものであり、ROMコレクション機能を作用させる複数の対象アドレスに対して夫々の優先順位が正しく判断できる命令入換え回路を提供することを目的とする。

#### 【0007】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明の命令入換え回路は、実行する命令群を記憶するROMと、該ROMの命令群に基づいて各命令を順次にパイプライン処理するCPUと、前記ROMから送られる現行命令を、所定の条件下で対応する修正命令に入れ換える入換え機能を有する命令入換え回路において、

入換え対象となる命令の対象アドレスを設定する対象アドレスレジスタと、前記CPUのフェッチステージに割り当てられた現行命令のアドレスと前記対象アドレスとを比較する比較回路と、該比較回路の比較結果に基づいて前記現行命令又は対応する修正命令の何れかを選択する選択回路と、該選択回路が前記修正命令を選択した旨を表示する動作フラグとを有するROMコレクションユニットを、複数の入換え対象の命令に対応して複数備えることを特徴とする。

#### 【0008】

本発明の命令入換え回路は、対象アドレスレジスタ、比較回路、選択回路、及び、動作フラグを有するROMコレクションユニットを、複数の対象アドレスに対応して複数備えるので、ROMコレクション機能を作用させる対象アドレスを複数設定でき、且つ、動作フラグによってそれらの間の優先順位を設定できるので、CPUは対象アドレスに対応する修正プログラムを容易に判断できる。

#### 【0009】

本発明の命令入換え回路の好ましい態様では、前記動作フラグは前記CPUの実行ステージで設定される。

#### 【0010】

この場合、対象アドレスが検出されたROMコレクションユニットがCPUの実行ステージで動作フラグを立てるので、CPUはその実行ステージで当該ROMコレクションユニットを選択してアクセスでき、正しい優先順位を判断できる

。ここで、命令のフェッチ段階で動作フラグを立てることも考えられるが、この場合にはROMコレクション機能とは関係なく動作フラグが立ってしまい、優先順位が定まらない。

【0011】

また、前記修正命令を任意に設定できることも本発明の好ましい態様である。この場合、ICの製造後に発見されたバグに対応して修正命令を容易に与えることができる。

【0012】

【発明の実施の形態】

以下、本発明の一実施形態例の命令入換え回路について図面を参照して説明する。図1は、本発明の一実施形態例のROMコレクションユニットを備えたマイクロコンピュータのブロック図である。

【0013】

本実施形態例のマイクロコンピュータは、パイプライン処理するCPU1、現行プログラムが記憶されているROM2、ROMコレクション機能を有するROMコレクションユニット3、及び、システムクロック9を発生するシステムクロック発生ユニット4で構成される。ROMコレクションユニット3は、複数存在しており、CPU1が命令フェッチに際にどのアドレスを指定するかで、複数のROMコレクションユニット3から所定のROMコレクションユニット3が選択される。また、本マイクロコンピュータには、図示しないRAM、及び、外部インターフェイスが配設されており、外部から修正プログラムを入力できる。

【0014】

CPU1、ROM2、及び、ROMコレクションユニット3は、システムクロック発生ユニット4から供給されるシステムクロック9に同期して動作する。CPU1は、パイプライン処理される各命令のアドレス計算を行う際に、命令フェッチステージに割り当てられた命令のアドレスを、アドレスバス8を介してROM2及びROMコレクションユニット3に出力し、また、命令実行ステージに割り当てられた命令のアドレスを、PCEXステージバス7を介してROMコレクションユニット3に出力する。

## 【0015】

ROM2は、現行プログラムのアドレス指定された命令を、データバス5を介してROMコレクションユニット3に出力する。ROMコレクションユニット3は、データバス5から入力した命令、又は、ROMコレクション機能により入れ換えた命令のいずれかをデータバス10を介してCPU1に出力する。

## 【0016】

ここで、CPU1が行うパイプライン処理について説明する。CPU1は、命令の処理が完了するまでの1サイクル中に5つのステージを持つ。5つのステージは、メモリから命令を読み出す命令フェッチ（Instruction Fetch）ステージ（以下、IFステージと呼ぶ）、命令コードを解析しレジスタの値を読み出す命令デコード（Instruction Decode）ステージ（以下、IDステージと呼ぶ）、論理演算又は算術演算する実行（Execution）ステージ（以下、EXステージと呼ぶ）、メモリにデータを書き込むメモリ書き込み（Memory write-in）ステージ（以下、MEMステージと呼ぶ）、及び、レジスタに結果を書き込む書戻し（Write Back）ステージ（以下、WBステージと呼ぶ）である。CPU1は、各命令に異なるステージを割り当て処理することで、複数の命令を並行処理するパイプライン処理ができる。

## 【0017】

図2は、図1のCPU1の具体的な構成例を示すブロック図である。CPU1の内部では、各種の制御や演算が行われているが、パイプライン処理される各命令に対するアドレス計算について説明する。CPU1は、IDステージにある命令アドレスとその命令コードとを保持するIF/IDレジスタ11、EXステージにある命令アドレスと加算データとセレクト信号25とを保持するID/EXレジスタ12、MEMステージにある命令アドレスを保持するEX/MEMレジスタ13、データバス10の命令コードを解読するデコーダ14、プログラムカウンタをアップする加算器15、分岐先アドレスを計算する加算器16、プログラムカウンタに出力する値を選択するセクタ17、及び、プログラムカウンタとなるPCレジスタ18を有する。IF/IDレジスタ11、ID/EXレジスタ

12、EX/MEMレジスタ13、及び、PCレジスタ18は、保持しているデータを出し入れするデータを保持する動作をシステムクロック9に同期して行う。

#### 【0018】

PCレジスタ18は、IFステージにある命令アドレスをプログラムカウンタ値として保持し、そのプログラムカウンタ値を、被加数21として加算器15に、保持値としてIF/IDレジスタ11に夫々出力する。加算器15は、被加数21に各命令の語長である1を加数22として加算し、セクタ17に出力する。セクタ17は、ID/EXレジスタ12からのセレクト信号25がない場合に、加算器15の加算出力を選択して、アドレスバス8及びPCレジスタ18に出力する。PCレジスタ18は、保持値が加算器15の加算出力に更新されることで、プログラムカウンタをカウントアップする。

#### 【0019】

IF/IDレジスタ11は、保持している命令アドレスをID/EXレジスタ12に、保持している命令コードをデコーダ14に夫々出力する。IF/IDレジスタ11は、PCレジスタ18からの命令アドレス、及び、データバス10からの命令コードを入力して保持する。デコーダ14は、IF/IDレジスタ11からの命令コードを入力し解読して、加算データ及びセレクト信号25をID/EXレジスタ12に出力する。デコーダ14は、分岐命令以外であれば、加算データとして0を出力し、分岐命令であれば、加算データとしてEXステージの命令アドレスから分岐先アドレスまでの値、及び、セレクト信号25を出力する。

#### 【0020】

ID/EXレジスタ12は、保持している命令アドレスを加算器16の被加数23として出力し、保持している加算データを加算器16の加数24として出力し、保持しているセレクト信号25があればセクタ17に出力する。加算器16は、被加数23に加数24を加え、加算出力をEX/MEMレジスタ13及びセクタ17に出力する。

#### 【0021】

セクタ17は、ID/EXレジスタ12からのセレクト信号25があると、



加算器 16 の加算出力を選択するので、PC レジスタ 18 は、プログラムカウンタを分岐先アドレスに更新する。

#### 【0022】

図 3 は、図 1 の ROM コレクションユニット 3 の第 1 実施形態例を示すブロック図である。ROM コレクションユニット 3 は、対象アドレスを保持する CA レジスタ 31、分岐命令出力回路 32、ROM コレクション機能の実行済みフラグとなる CRF レジスタ 33、コンパレータ 34、35、セクタ 36、ROM コレクション機能の動作可否を制御する制御信号 102 を発生する CC レジスタ 37、ラッチ 38、39、及び、2 入力 AND 41、42 で構成される。

#### 【0023】

CA レジスタ 31 は、アドレス入力を周辺データバス 6 に接続し、コンパレータ 34 及び 35 の第 1 アドレス入力に対象アドレス 101 を出力する。CC レジスタ 37 は、セット入力 S を周辺データバス 6 に接続し、AND 41 及び 42 の第 1 入力に制御信号 102 を入力する。ラッチ 38 は、アドレス入力をアドレスバス 8 に、アドレス出力をラッチ 39 のアドレス入力に接続する。ラッチ 39 は、現行アドレス 104 をコンパレータ 34 の第 2 アドレス入力に入力する。コンパレータ 34 は、第 1 比較信号 103 を AND 41 の第 2 入力に入力する。AND 41 は、選択信号 105 をセクタ 36 の選択入力に入力する。セクタ 36 は、第 1 データ入力をデータバス 5 に接続し、分岐命令出力回路 32 は、分岐命令 JMP をセクタ 36 の第 2 データ入力に入力する。コンパレータ 35 は、第 2 アドレス入力を PC EX ステージバス 7 に接続し、第 2 比較信号 106 を AND 42 の第 2 入力に入力する。AND 42 は、入換え信号 107 を CRF レジスタ 33 のセット入力 S に入力する。CRF レジスタ 33 は、リセット入力 R を周辺データバス 6 に接続し、入換えフラグ 108 を周辺データバス 6 に入力する。CA レジスタ 31、CC レジスタ 37、ラッチ 38、ラッチ 39、及び、CRF レジスタ 33 は、システムクロック 9 に同期して動作する。

#### 【0024】

セクタ 36 は、選択信号 105 が L レベルであれば、ROM 2 からデータバス 5 を介して送られる現行プログラムの命令コードを選択し、選択信号 105 が

Hレベルであれば、分岐命令出力回路 32 からの分岐命令 JMP を選択してデータバス 10 に出力する。

#### 【0025】

図 4 は、図 1 のマイクロコンピュータが行うパイプライン処理の第 1 例を示すタイムチャートである。このパイプライン処理では、現行プログラム中には回避領域にジャンプする分岐命令を有しない。CPU1 は、周辺データバス 6 を介して、CAレジスタ 31 に対象アドレス 101 となる入換え対象の命令アドレス  $a+1$  を設定し、ROMコレクション機能が有効となるように CCレジスタ 37 をセットして制御信号 102 を Hレベルにし、CRFレジスタ 33 をリセットして入換えフラグ 108 を Lレベルにする。

#### 【0026】

図 5 は、図 4 でパイプライン処理されるプログラムの命令アドレスを示す表である。特に指定のないかぎり、パイプライン処理される各命令には、プログラムカウンタを強制的に変更する分岐命令以外の一般命令が採用されている。同図 (a) に示した ROM2 の領域の現行プログラムには、 $a-1$  から  $a+10$  までに一般命令が予め記憶されている。図の例では、アドレス  $a-1$  に命令 P、アドレス  $a$  に命令 Q、アドレス  $a+1$  に命令 R、アドレス  $a+2$  に命令 S、アドレス  $a+3$  に命令 T、アドレス  $a+4$  に命令 U、～、アドレス  $a+10$  に命令 Z が記憶されている。現行プログラムのアドレス  $a+1$  は、ROMコレクション機能を作作用させる対象アドレスであり、同図 (b) に示した回避領域には、これに対応する修正プログラムが格納される。回避領域の修正プログラムは、アドレス  $b$  が命令 H、アドレス  $b+1$  が命令 I、アドレス  $b+2$  が命令 J、アドレス  $b+3$  が命令 K、～、アドレス  $b+4$  が命令 L であり、全ての命令が一般命令である。修正プログラムのアドレス  $b+5$  の命令 M は、ROM領域のアドレス  $a+10$  にジャンプする分岐命令である。

#### 【0027】

図 6 は、図 4 でパイプライン処理する CPU1 が行うアドレス計算課程を示す表である。図 4 及び図 6 を参照してパイプライン処理を説明する。期間 T1 に、アドレスバス 8 はアドレス  $a$ 、データバス 10 は命令 P の命令コード、PC EXステ

ージバス7はアドレスa-3、現行アドレス104はアドレスa-1である。CPU1は、命令PをIFステージとして処理する。以後、CPU1は、システムクロック9に同期して、各命令を対応した夫々のステージでパイプライン処理する。期間T2に、命令PはIDステージに、命令QはIFステージになる。

#### 【0028】

期間T3に、対象アドレス101と現行アドレス104との比較結果である第1比較信号103がHレベルになり、第1比較信号103と制御信号102との論理積である選択信号105がHレベルになる。ROMコレクションユニット3は、セクタ36が分岐命令出力回路32からの分岐命令JMPをデータバス10に出力することで、ROMコレクション機能である命令入換えを行う。命令PはEXステージに、命令QはIDステージに、分岐命令JMPはIFステージになる。

期間T4に、命令PはMEMステージに、命令QはEXステージに、分岐命令JMPはIDステージに、命令SはIFステージになる。

#### 【0029】

期間T5に、対象アドレス101とPC EXステージバス7との比較結果である第2比較信号106がHレベルになり、第2比較信号106と制御信号102との論理積である入換え信号107がHレベルになる。CRFレジスタ33は、入換え信号107によりセットされ、入換えフラグ108がHレベルになる。CPU1で行われる処理は、命令PがWBステージに、命令QがMEMステージに、分岐命令JMPがEXステージになる。CPU1は、分岐命令JMPの実行によって、アドレスバス8のアドレスを修正プログラムの命令Hのアドレスであるbにするので、実行が現行プログラムから修正プログラムに回避する。

#### 【0030】

期間T6に、命令QはWBステージに、命令HはIFステージになる。期間T7に、命令HはIDステージに、命令IはIFステージになる。その後、現行プログラムの命令Zのアドレスa+10にジャンプする分岐命令である命令MがEXステージになる。CPU1は、命令Mの実行によって、アドレスバス8のアドレスを現行プログラムの命令Zのアドレスであるa+10にするので、実行が修

正プログラムから現行プログラムに復帰する。

【0031】

図7は、図1のマイクロコンピュータが行うパイプライン処理の第2例を示すタイムチャートである。第2例では、現行プログラムのアドレスaに記憶されている命令Xが分岐命令である点が、図4のパイプライン処理の第1例と異なる。

【0032】

図8は、図7でパイプライン処理されるプログラムの命令アドレスを示す表である。同図(a)に示したROM2の領域の現行プログラムのアドレスaには、回避領域の修正プログラムのアドレスbにジャンプする分岐命令の命令Xが記憶されている。

【0033】

図9は、図7でパイプライン処理するCPU1が行うアドレス計算課程を示す表である。図7及び図9を参照してパイプライン処理を説明する。期間T4に、命令PがMEMステージに、命令XがEXステージになる。CPU1は、命令Xを実行すると、アドレスバス8のアドレスをbにして、回避領域の修正プログラムを順次に実行する。

【0034】

CPU1は、命令Mを実行し現行プログラムに復帰すると、現行プログラムのアドレスa+10から順次に実行するので、ROMコレクション機能によって入れ換えられた分岐命令JMPは実行されない。ROMコレクションユニット3は、入換えフラグ108をLレベルに維持する。

【0035】

上記実施形態例によれば、CPU1は、周辺データバス6を介してCRFレジスタ33の入換えフラグ108を参照することで、ROMコレクション機能によって入れ換えられた分岐命令JMPが実行されたか否かを識別する。

【0036】

図10は、図1のROMコレクションユニット3の第2実施形態例を示すブロック図である。この例は、入れ換える命令を任意に設定できる点が第1実施形態例と異なる。

## 【0037】

ROMコレクションユニット3Aは、図3のROMコレクションユニット3に加えて、ROMコレクション機能によって現行プログラムの命令と入れ換える修正命令を格納する命令レジスタ61を備える。命令レジスタ61は、データ入力が増設データバス6に接続され、データ出力がセレクタ36の第2データ入力に接続されていて、システムクロック9に同期して動作する。

## 【0038】

CPU1は、増設データバス6を介して、ROMコレクション機能によって現行プログラムの命令と入れ換える修正命令を命令レジスタ61に任意に設定する。本実施形態例のROMコレクション機能は、現行プログラムに対して個々の命令だけを変更したい場合に採用する。

## 【0039】

上記実施形態例によれば、マイクロコンピュータは、ROMコレクション機能を有しパイプライン処理を行う際に、バグを有する対象アドレスの命令の入換え動作だけでプログラムの回避が可能となり、修正プログラムへの回避命令の処理、及び、現行プログラムへの復帰命令の処理を伴わないので、スループットが向上する。

## 【0040】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の命令入換え回路は、上記実施形態例の構成にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施した命令入換え回路も、本発明の範囲に含まれる。

## 【0041】

## 【発明の効果】

以上説明したように、本発明の命令入換え回路は、ROMコレクション機能によって入れ換えられた分岐命令JMPが実行されたか否かを識別するフラグを有するため、本発明の命令入換え回路を備えパイプライン処理するマイクロコンピュータは、ROM領域にある現行プログラムの修正部分に対して、ROMコレクション機能を作用させる対象アドレスを複数設定しても、夫々の対象アドレスに

対して正しい優先順位が判断できる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態例のROMコレクションユニットを備えたマイクロコンピュータのブロック図である。

【図 2】

図 1 の CPU 1 の具体的な構成例を示すブロック図である。

【図 3】

図 1 の ROM コレクションユニット 3 の第 1 実施形態例を示すブロック図である。

【図 4】

図 1 のマイクロコンピュータが行うパイプライン処理の第 1 例を示すタイムチャートである。

【図 5】

図 4 でパイプライン処理されるプログラムの命令アドレスを示す表である。

【図 6】

図 4 でパイプライン処理する CPU 1 が行うアドレス計算課程を示す表である。

【図 7】

図 1 のマイクロコンピュータが行うパイプライン処理の第 2 例を示すタイムチャートである。

【図 8】

図 7 でパイプライン処理されるプログラムの命令アドレスを示す表である。

【図 9】

図 7 でパイプライン処理する CPU 1 が行うアドレス計算課程を示す表である。

【図 10】

図 1 の ROM コレクションユニット 3 の第 2 実施形態例を示すブロック図である。

【図 11】

特開平 8-95946 に記載のマイクロコンピュータを示すブロック図である。

【符号の説明】

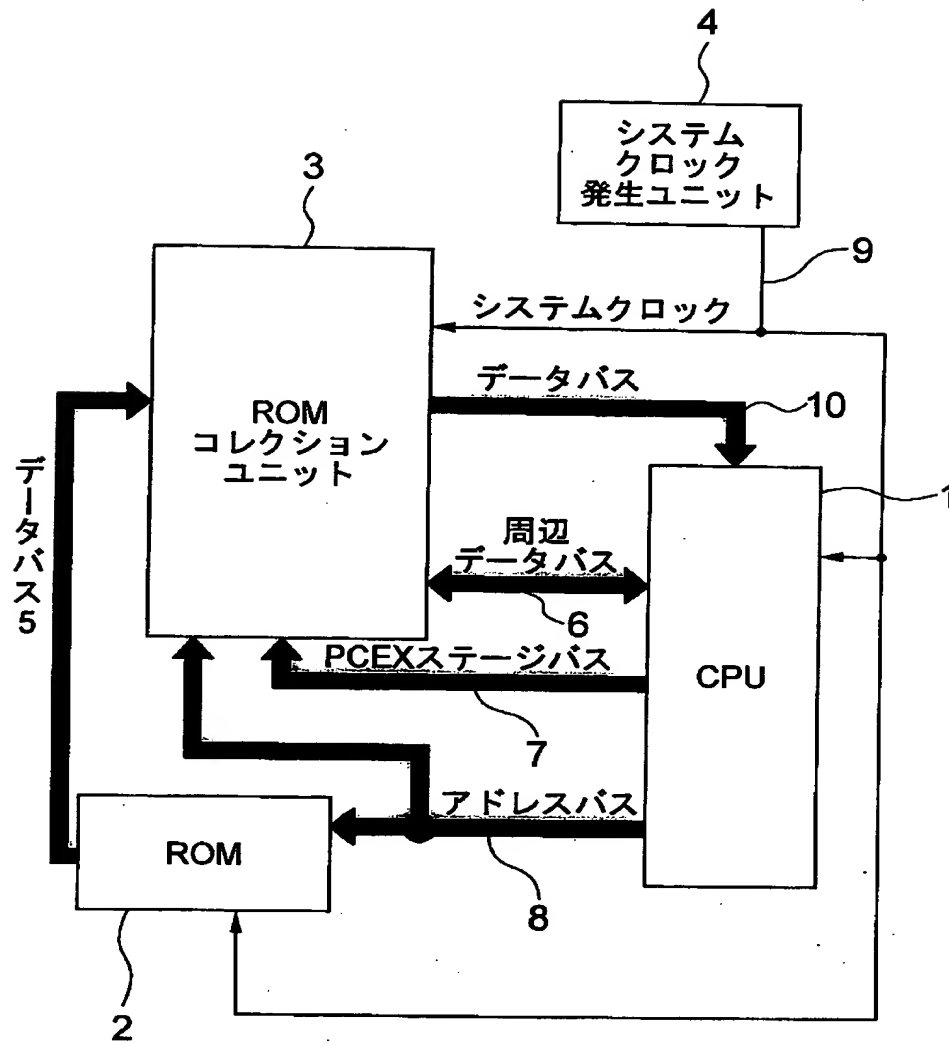
- 1, 87 CPU
- 2, 83 ROM
- 3 ROMコレクションユニット
- 4 システムクロック発生ユニット
- 5, 10, 91 データバス
- 6 周辺データバス
- 7 PCXステージバス
- 8, 82 アドレスバス
- 9 システムクロック
- 11 IF/IDレジスタ
- 12 ID/EXレジスタ
- 13 EX/MEMレジスタ
- 14 デコーダ
- 15, 16 加算器
- 17, 36 セレクタ
- 18 PCレジスタ
- 21, 23 被加数
- 22, 24 加数
- 25 セレクト信号
- 31 CAレジスタ
- 32 分岐命令出力回路
- 33 CRFレジスタ
- 34, 35 コンパレータ
- 37 CCレジスタ
- 38, 39 ラッチ

4 1, 4 2 2 入力AND  
6 1 命令レジスタ  
1 0 1 対象アドレス  
1 0 2 制御信号  
1 0 3 第 1 比較信号  
1 0 4 現行アドレス  
1 0 5, 9 2 選択信号  
1 0 6 第 2 比較信号  
1 0 7 入換え信号  
1 0 8 入換えフラグ  
8 1 フェッチポインタ  
8 4 RAM  
8 5 比較回路  
8 6 レジスタ  
8 8 選択回路  
8 9 分岐命令出力回路  
9 0 シリアルインタフェース  
9 2 選択信号  
9 3 マイクロコンピュータ  
9 4 メモリ  
9 5 命令キュー

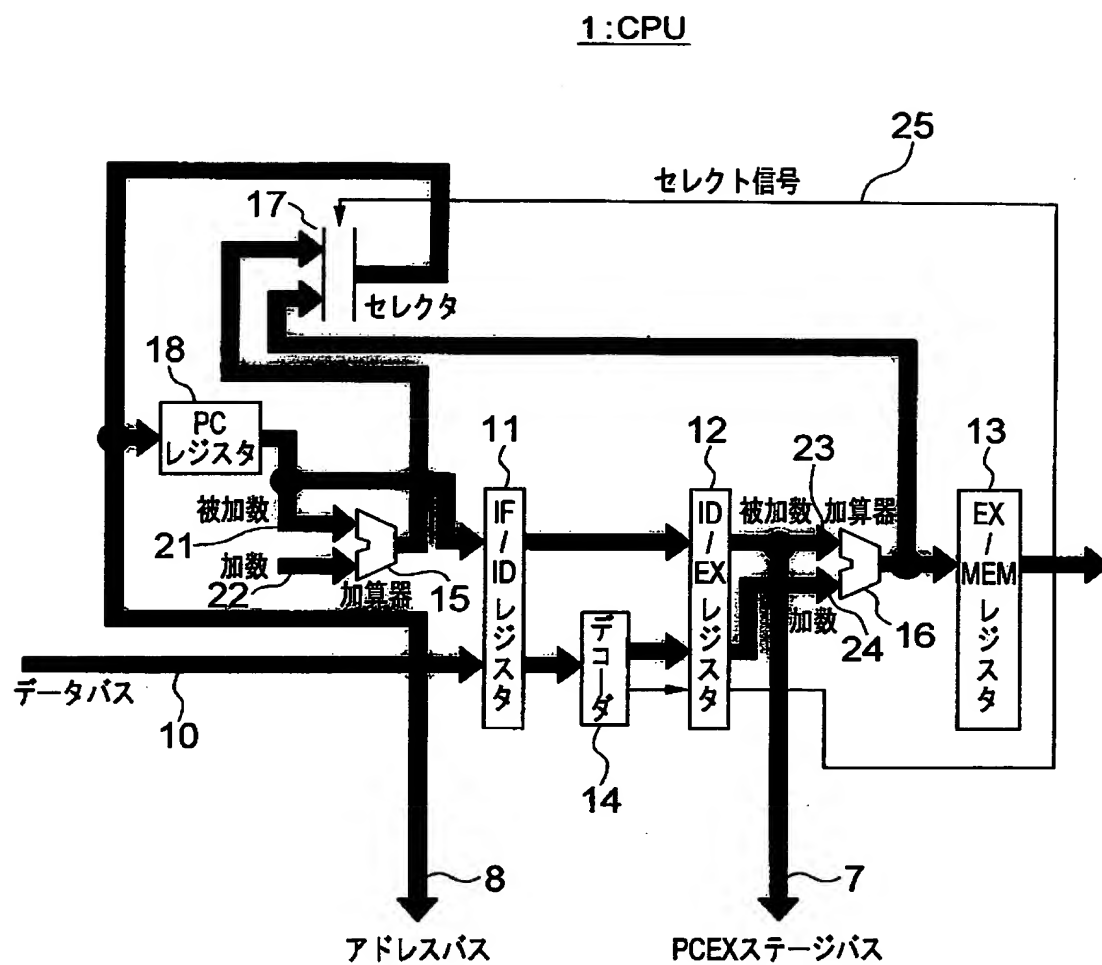


【書類名】 図面

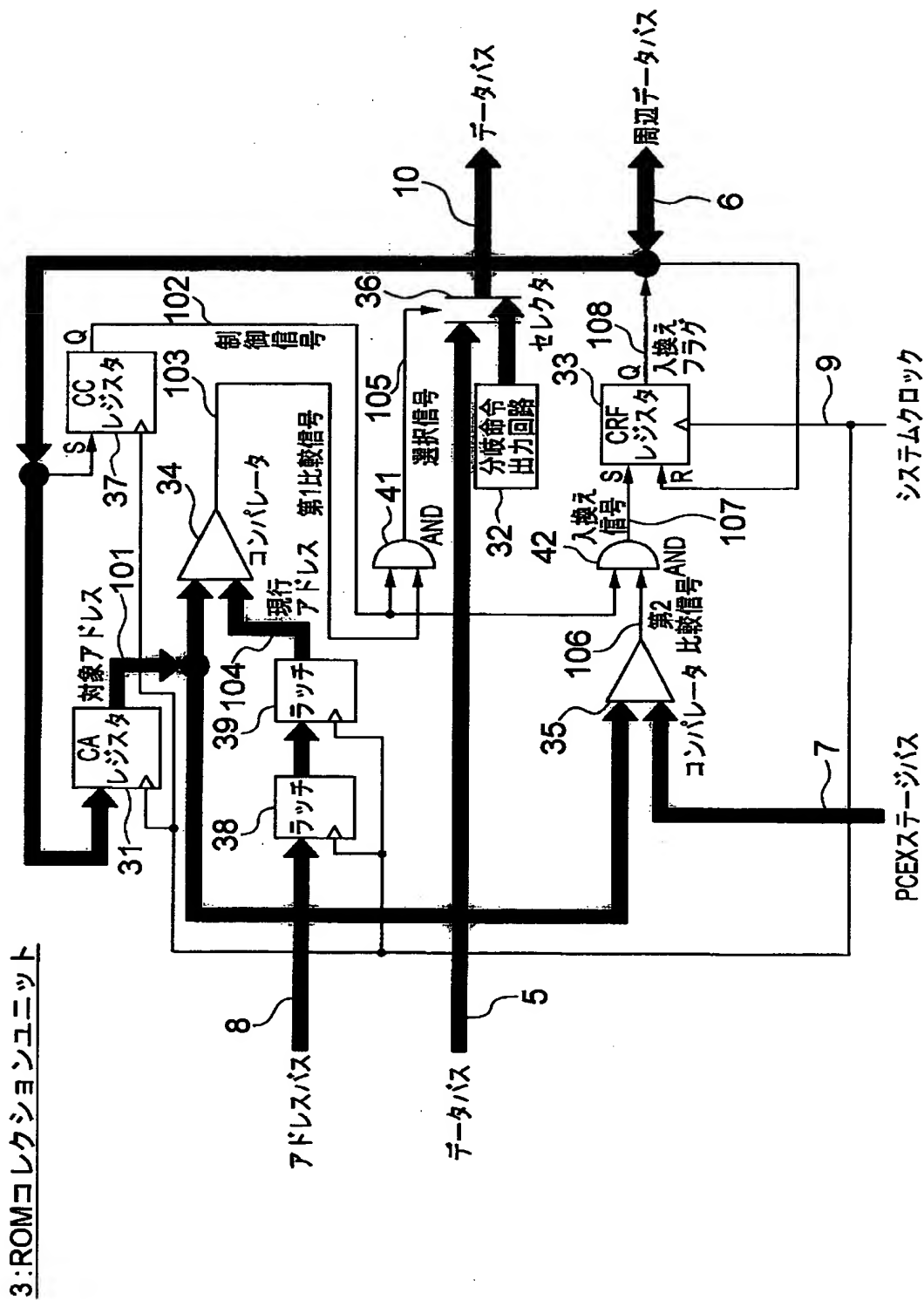
【図 1】



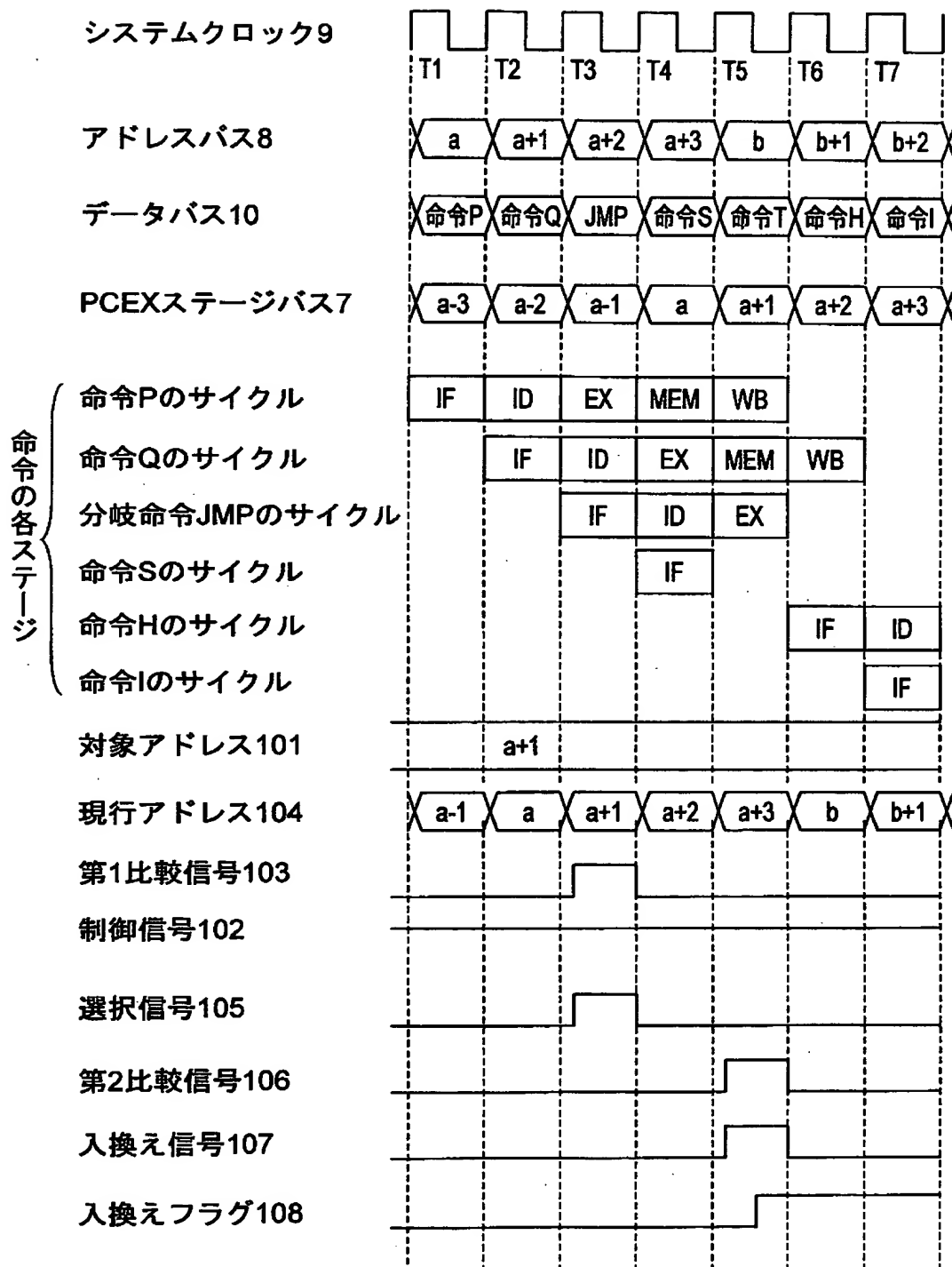
【図 2】



【図 3】



【図 4】



【図 5】

ROM領域の現行プログラム

(a)

アドレス	命令	備考
a+1	P	
a	Q	
a+1	R	(対象アドレス)
a+2	S	
a+3	T	
a+4	U	
⋮	⋮	
a+10	Z	(復帰先のアドレス)
⋮	⋮	

回避領域の修正プログラム

(b)

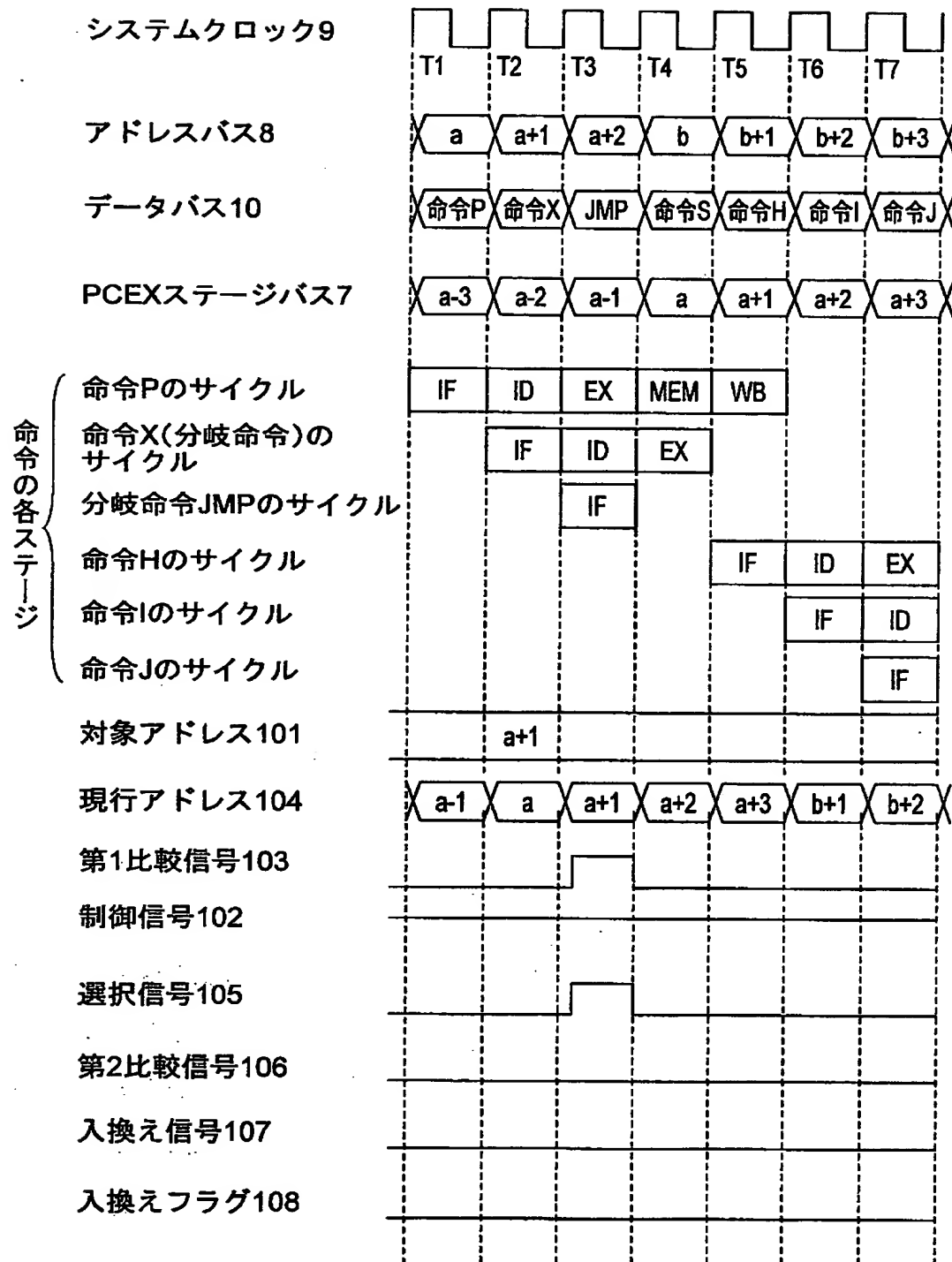
アドレス	命令	備考
b	H	(回避先のアドレス)
b+1	I	
b+2	J	
b+3	K	
⋮	⋮	
b+5	M	ROM領域への分岐命令

【図 6】

パイプライン処理される各命令のアドレス計算過程

システム クロック9	アドレス バス8	PCレジスタ18	IF/ID レジスタ11	ID/EXレジスタ12 (PCEXステージバス7)	加算器16	
					加算出力	加数24
T2	a+1	a	a-1	a-2	a-2	0
T3	a+2	a+1	a	a-1	a-1	0
T4	a+3	a+2	a+1	a	a	0
T5	b	a+3	a+2	a+1	b	b-a-1
T6	b+1	b	a+3	a+2	a+2	0
T7	b+2	b+1	b	a+3	a+3	0
		IFステージの アドレス値	IDステージの アドレス値	EXステージの アドレス値		分岐先 までの アドレス値

【図 7】



【図 8】

## ROM領域の現行プログラム

(a)

アドレス	命令	備考
a-1	P	
a	X	回避領域への分岐命令
a+1	R	(対象アドレス)
a+2	S	
a+3	T	
a+4	U	
⋮	⋮	
a+10	Z	(復帰先のアドレス)
⋮	⋮	

## 回避領域の修正プログラム

(b)

アドレス	命令	備考
b	H	(回避先のアドレス)
b+1	I	
b+2	J	
b+3	K	
⋮	⋮	
b+5	M	ROM領域への分岐命令

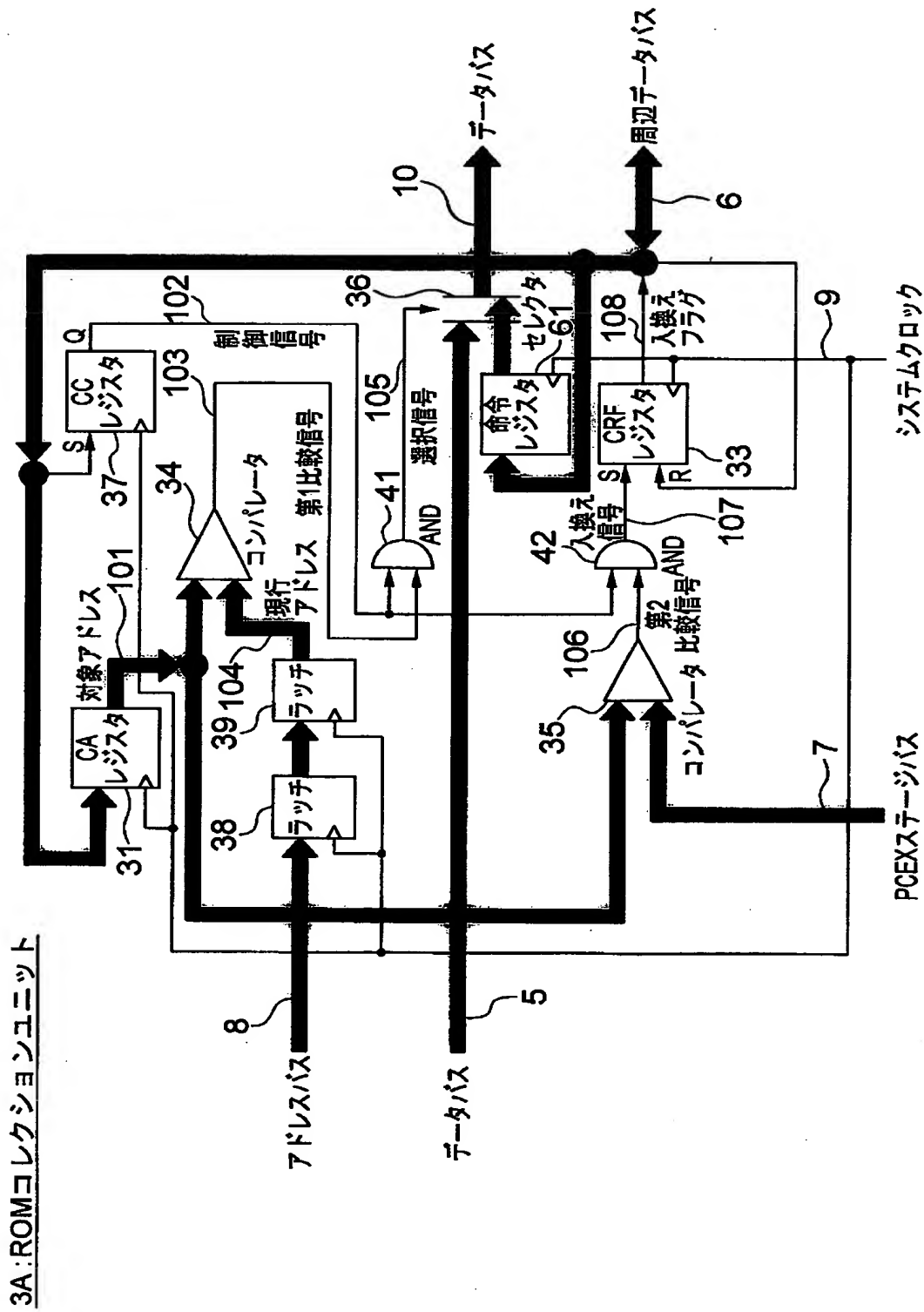


【図 9】

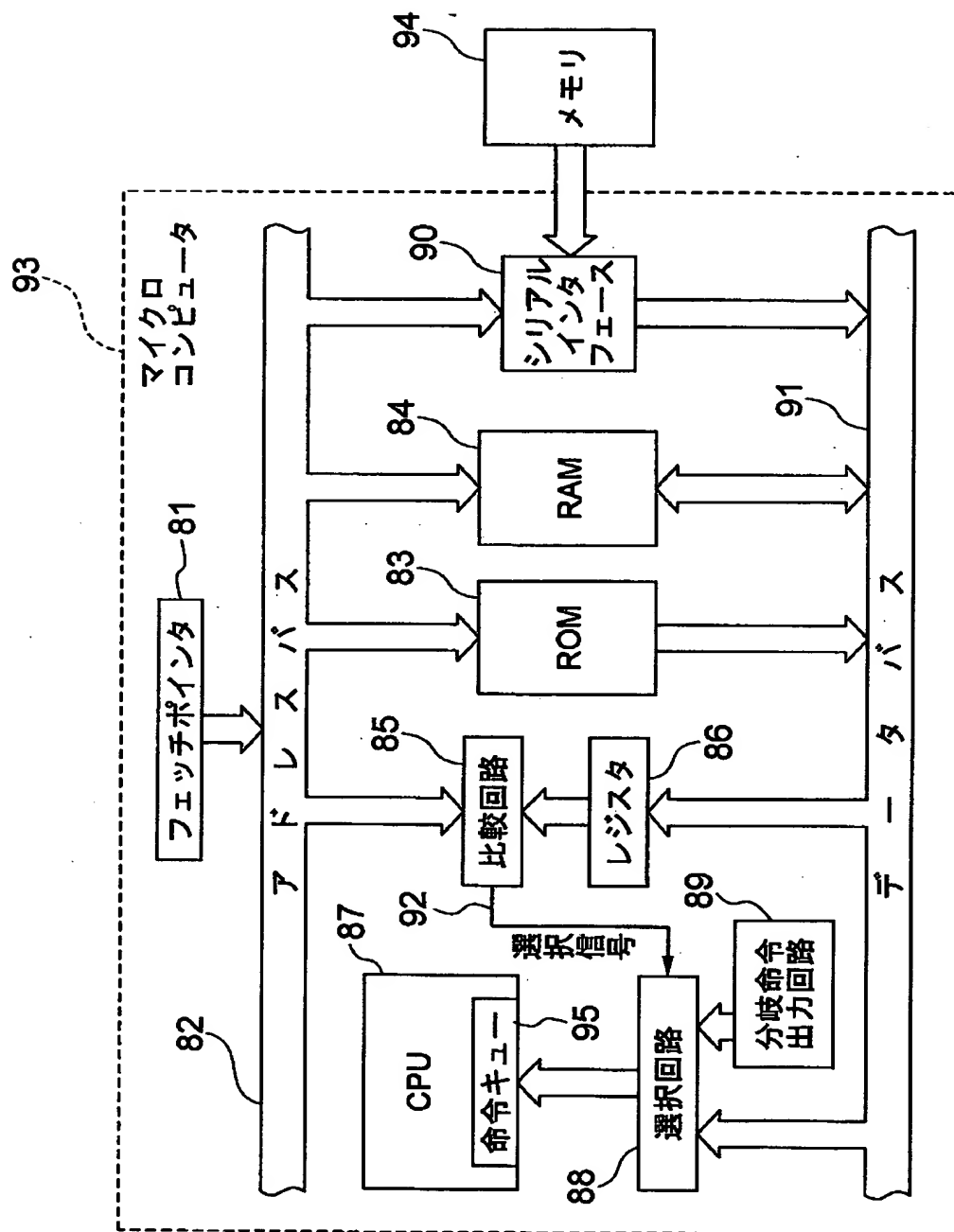
パイプライン処理される各命令のアドレス計算過程

システム クロック	アドレス バス8	PCレジスタ18	IF/ID レジスタ11	ID/EXレジスタ12 (PCEXステージバス7)	加算器16	
					加算出力	加数24
T2	a+1	a	a-1	a-2	a-2	0
T3	a+2	a+1	a	a-1	a-1	0
T4	b	a+2	a+1	a	b	b-a
T5	b+1	b	a+2	a+1	a+1	0
T6	b+2	b+1	b	a+2	a+2	0
T7	b+3	b+2	b+1	b	b	0
		IFステージの アドレス値	IDステージの アドレス値	EXステージの アドレス値		分岐先 までの アドレス値

【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 パイプライン処理するCPUが、ROMコレクション機能を作用させる対象アドレスを複数設定しても、夫々の対象アドレスに対して正しい優先順位が判断できる命令入換え回路を提供する。

【解決手段】 ROMコレクションユニット3は、対象アドレスを設定するCAレジスタ31と、ROMコレクション機能の可否を制御するCCレジスタ37、及び、ROMコレクション機能による分岐命令JMPの実行の可否を示すCRFレジスタ33を備えている。CPU1は、CRFレジスタ33を参照することで、複数の対象アドレスに対して正しい優先順位が判断できる。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社